

引用格式: 陈亮, 蔡声镇, 卢丽婉. 一种面向存储的高性能双向 SPI 传输机制 [J]. 微电子学与计算机, 2021, 38(3): 72-76. [CHEN L, CAI S Z, LU L W. A storage-oriented high-performance bidirectional SPI transmission mechanism [J]. Microelectronics & Computer, 2021, 38(3): 72-76.]

一种面向存储的高性能双向 SPI 传输机制

陈 亮¹, 蔡声镇¹, 卢丽婉²

(1 福州理工学院 计算与信息科学学院, 福建 福州 350506;

2 华中科技大学 软件学院, 湖北 武汉 430074)

摘 要: 在高速大容量的存储系统中, 传输通道为实时的双向链路, 微控制器无法实时感知存储设备的状态, 需要存储设备主动发起数据的传输. 针对这种特征, 设计了一种面向存储的高性能双向 SPI 传输接口, 并定义了一套可扩展的存储传输协议, 实现命令级别和数据级别的传输操作. 该设计基于 FPGA 实现, 对比仿真结果表明: 该传输机制支持从设备主动传输, 实现真正双向 SPI 通信, 其传输效率相对当前主流 Flash 存储设备具有明显优势.

关键词: SPI 接口; 存储系统; FIS; 主从设备; 双向传输

中图分类号: TN407

文献标识码: A

文章编号: 1000-7180(2021)03-0072-05

A storage-oriented high-performance bidirectional SPI transmission mechanism

CHEN Liang¹, CAI Sheng-zhen¹, LU Li-wan²

(1 The College of computing and information science, Fuzhou Institute of Technology, Fuzhou 350506, China;

2 The College of software, Huazhong University of Science and Technology; Wuhan 430074, China)

Abstract: In a high-speed and large-capacity storage system, the transmission channel is a real-time bidirectional link, and the microcontroller cannot sense the state of the storage device in real time, and the storage device needs to initiate data transmission actively. In response to this feature, a high-performance storage-oriented bidirectional SPI transmission interface is designed, and a set of extensible storage transmission protocols is defined to realize the transmission operations at the command level and the data level. The design is based on FPGA implementation. The comparison simulation results show that the transmission mechanism supports active transmission from the device to achieve true two-way SPI communication, and its transmission efficiency has obvious advantages over mainstream flash memory storage devices.

Key words: SPI Interface; storage system; FIS; master-slave device; bidirectional transmission

1 引言

串行外围设备 (SPI) 接口由摩托罗拉公司开发, 用于微控制器 (MCU) 和外设芯片之间以串行方式实现数据交互, 是一种低成本, 容易使用的接口^[1]. 其中, 外围设备包括 A/D 转换芯片, Nor/

Nand Flash 存储芯片等. 与标准的串行接口不同, SPI 是一种同步协议接口, 实现全双工通信. 目前, 绝大多数 MCU 和 DSP 主控芯片都支持 SPI 接口, 并且支持主/从设备兼容模式.

作为一种高速串行接口, SPI 协议支持标准模式, 双线模式和四线模式, 其传输速率有 10 Mbps,

50 Mbps 等^[2]. 对于最新型的 SPI 接口协议,采用八线模式和 DTR(Data Terminal Ready)技术,其传输速率可以达到 200Mbps. SPI 接口协议要求接口设备按主/从方式进行配置,且同一时间内总线上只能有一个主设备;同步时钟 SCK 由主设备输出并决定了传输速率,片选信号 CS 用于使能从设备;D0~D3 为双向 IO 接口,在 SCK 驱动下进行数据的输入和输出操作,如图 1 所示.

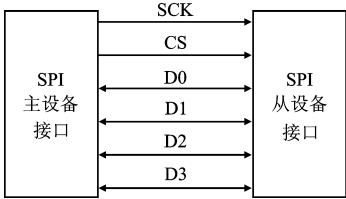


图 1 SPI 通信模型

SPI 总线具有很多优点,同时其也存在从设备无法判断数据传输何时结束、不能主动发起传输和没有收发数据应答机制三个方面的不足^[3-4]. 在存储系统中的双向传输链路上,主要进行存储数据的传输. 尤其在基于 NAND flash 颗粒的存储系统中,读写数据,均需要一定的等待时间,主设备无法实时获知 NAND flash 颗粒的状态.

根据存储系统的上述特征,考虑到传输的数据量大于指令的数据量,需要重新设计适合存储系统透明双向传输的 SPI 从设备接口. 为此,本文提出一种全新的,面向存储的高性能双向 SPI 传输机制.

2 SPI 的硬件设计

为了适应高速存储系统对 SPI 传输的要求,特别对 SPI 主从传输模型做了修改如图 2 所示,即将微控制器 SPI 接口的片选 CS 信号改为 H2D_CS (Host to device chip select),其功能和 CS 完全相同^[5]. 增加一个 I/O 接口 D2H_CS(Device to Host chip select),由存储设备 SPI 接口驱动. 这两个信号分别表示当前传输数据由那个设备驱动,在任意时刻只能一个有效. 微控制器和存储设备的 SPI 接口不再是传统意义上严格的主从设备,它们均可以工作在主从双模模式,即在 SPI 传输过程中,这两个 SPI 接口可以据工作状态动态配置为主模式(Master)或从模式(Slave),从而实现真正意义上的双向传输.

在微控制器 SPI 接口发送命令/数据时,与原来的 SPI 接口传输没有多大区别,只是传输的底层数据含义不同. 微控制器要发送数据时,先使能 H2D_

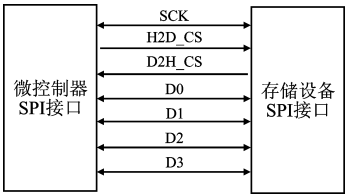


图 2 改进型 SPI 通信模型

CS 信号,接着在 SCK 驱动下,D0-D3 串行发送数据,数据传递完毕,再置 H2D_CS 信号为无效,如果还需要继续发送数据,则重复上述的过程.

在微控制器 SPI 接口接收命令/数据时,存储设备不需要依靠微控制器的控制,只要将传输过程等效存储设备 SPI 接口发送命令/数据的情况,这时存储设备的 SPI 接口实时检测 H2D_CS 信号,当发现 H2D_CS 信号无效,同时存储设备准备好要发送的命令/数据时,存储设备的 SPI 接口先使能 D2H_CS 信号,将 SPI 接口从默认的 Slave 模式配置为 Master 模式,接着在 SCK 驱动下,D0-D3 串行发送数据,直到数据传递完毕,再置 D2H_CS 信号为无效,如果还需要继续发送数据,则重复上述的过程,图 3 为传输过程流程图.

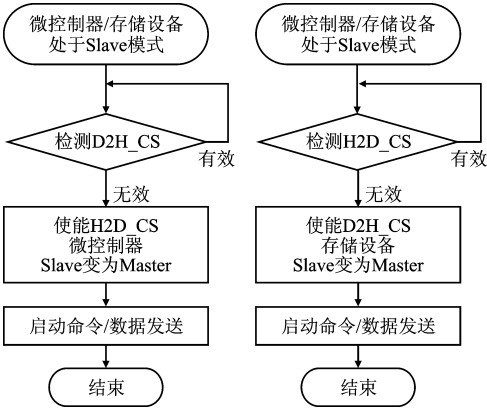


图 3 改进型 SPI 流程图

3 SPI 自定义协议

面向存储的 SPI 接口的设备,主要有 SPI NOR 和 SPI NAND 存储芯片. 这两类存储设备基于 SPI 接口的命令复杂繁多,并且各个厂商的方案都不一致,导致主控制端的软件设计非常复杂,维护麻烦. 基于本文提出的高性能双向的 SPI 传输机制,我们设计了一套自定义的面向存储的协议. 这套协议采用类似 SATA 的协议机制^[6],具有友好的软件界面,具有非常强的扩展性. 微控制器和存储设备之间的信息交互,基于帧信息结构(FIS)来完成. 协议中

定义了四种 FIS,其中 Host to Device Register FIS (H2D RFIS)和 Device to Host Register FIS(D2H RFIS)主要用于寄存器级别的信息交互,PIO_Setup FIS 和 Data FIS 主要用于数据交互。

四种 FIS 的格式基本相同,均有 2 个 DW(双字)构成,总共占用 8 个字节. 如图 4 所示:FIS TYPE 栏位为每种 FIS 的类型码,通过 FIS TYPE 来区分不同的 FIS. Command 栏位对应每种 FIS 其可以扩展的命令类型,比如读写寄存器命令,读写数据命令等,不同的 FIS 可以扩展的命令类型也不同。

H2D	0	Reserved	LBA (27:24)	Command	FIS Type (0×1)	PIO_setup	0	R B E I	LBA (27:24)	Status	FIS Type (0×5)
	1	LBA (23:20)	LBA (19:16)	LBA (15:12)	LBA (11:8)		1	LBA (23:20)	LBA (19:16)	LBA (15:12)	LBA (11:8)
	2	Reserved	Reserved	LBA (7:4)	LBA (3:0)		2	Transfer Count (7:4)	Transfer Count (3:0)	LBA (7:4)	LBA (3:0)
	3	Reserved	Count (11:8)	Count (7:4)	Count (3:0)		3	Transfer Count (11:8)	Count (11:8)	Count (7:4)	Count (3:0)

D2H	0	R B E I	LBA (27:24)	Status	FIS Type (0×2)	Data	0		Reserved	FIS type (0×6)
	1	LBA (23:20)	LBA (19:16)	LBA (15:12)	LBA (11:8)		1	N Byte of data		
	2	Reserved	Reserved	LBA (7:4)	LBA (3:0)		2	(最小1 Byte~最大2 048 Byte)		
	3	Reserved	Count (11:8)	Count (7:4)	Count (3:0)		N			

图 4 自定义帧信息结构

Status 栏位对应每种 FIS 返回的状态信息,比如设备的状态等,该栏位为存储设备向微控制器发送. LBA 栏位为存储协议定义的逻辑地址^[7],存储协议以 512 字节为最小传输单元,则 LBA 地址可以支持到高达 128 GB 的存储空间. 这种机制和嵌入式系统的文件系统完美匹配,便于在存储设备上移植文件系统^[8]. Count 栏位对应每次读写的数据长度,单命令支持最大的传输长度为 2 MB. Transfer count 栏位对应已经传输的数据长度。

Data FIS 为双向的 FIS,用于微控制器和存储设备收发数据使用. 支持的数据长度从 1 Byte 到最大 2 048 Byte. 如果命令发送的数据超过 2 048 Byte,则需要拆分为多组 Data FIS 进行传输. 图 4 所示为自定义协议实现的 4 种帧格式。

4 传输流程

面向存储的 SPI 自定义协议,主要分为两类传输,一类是寄存器级别的命令交互,不涉及大数据量的传输,一类是大数据的传输,即存储信息的读写传输^[9]. 对于寄存器级别的命令交互,如图 5 所示:主要通过 H2D RFIS 和 D2H RFIS, SPI 通信由微控制器控制,通过 H2D_CS 使能存储设备并向存储设备发送时钟和命令,其交互过程如下:

微控制器配置为 Master 模式,向存储设备发送

H2D FIS,总共 8 个字节。

(1)存储设备接收到 H2D FIS,并进行解析,根据命令做相应的响应操作。

(2)存储设备配置为 Master 模式,向微控制器发送 D2H FIS,总共 8 个字节,作为应答。

(3)微控制器接受到 D2H FIS,根据解析内容,设置中断或者完成命令操作。

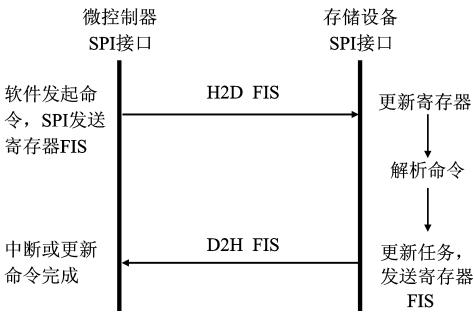


图 5 寄存器级传输流程

对于大数据的传输操作,分为微控制器往存储设备写入数据和微控制器从存储设备读取数据两个流程^[10]. 如图 6 所示,通过 SPI 从存储设备读取数据的交互过程如下:

(1)微控制器设置要读取数据的 LBA 地址和长度,以及 command 为读操作,向存储设备发送 H2D FIS.

(2)存储设备接收到 H2D FIS,并进行解析,判断为读数据操作,根据 LBA 地址和长度,从存储介质中读取相应的数据。

(3)存储设备准备好数据之后,配置为 Master 模式,发送 PIO Setup FIS 给微控制器,告知数据已经准备好以及数据相关的信息。

(4)微控制器配置内部的缓存空间等,准备接收数据。

(5)存储设备将数据组织成 Data FIS,将数据发送给微控制器。

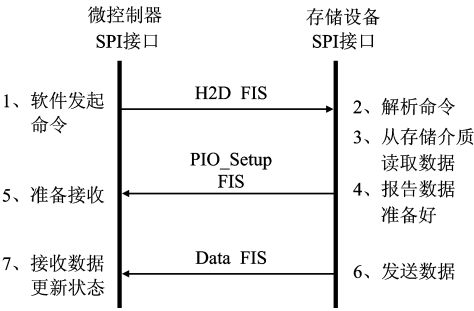


图 6 读数据传输流程

通过 SPI 将数据写入到存储设备中的交互过程和 SPI 从存储设备读取数据的交互过程是类似的,不同在于最后一个阶段,存储设备发送 D2H FIS 给微控制器,确认接收的数据已经完成,如图 7 所示。

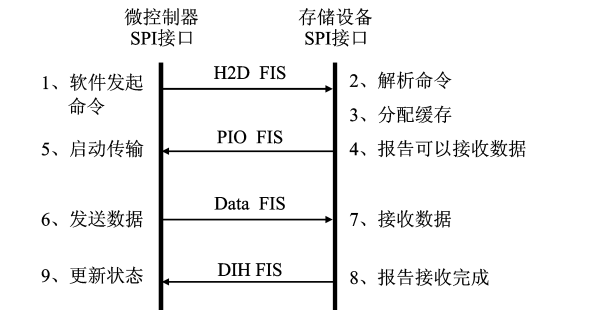


图 7 写数据传输流程

5 测试与仿真

根据改进型 SPI 通信模型和自定义协议,采用 Xilinx 公司的 Vivado 软件设计实现了一个基于 RAM 介质的自定义存储设备,以及采用 Microblaze 处理器实现了微控制器端,同时选择当前主流的 Flash 存储设备旺宏公司的 MX35LF 仿真模型作为比对测试对象,一起搭建了图 8 所示仿真测试平台。为了尽量消除微控制器端软硬件对测试的影响,提供了两组完全一样的 SPI 接口,接口 SCK 均工作在 30 MHz, Microblaze 处理器工作在 200 MHz。SPI0 通过改进型 SPI 与自定义存储设备相连接(见图 2)。SPI1 支持主设备模式,通过传统 SPI 接口与 MX35LF 仿真模型相连(见图 1)。根据 MX35LF 的数据手册^[11],在读取数据时将器件延迟 Trd 设置为 25 μ s,在写数据时将器件延迟 Tprog 设置为 320 μ s。整个测试平台的测试代码均运行在 Microblaze 处理器上。

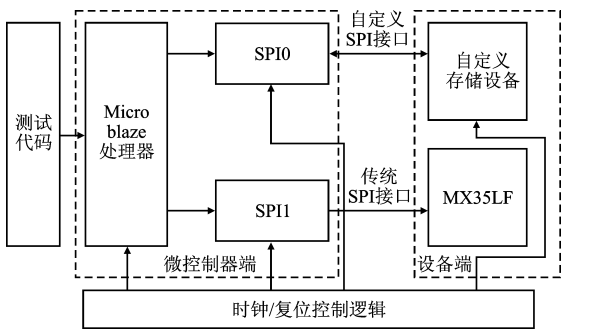


图 8 测试环境

通过测试平台,验证了主控制器端和自定义存储设备进行双向 SPI 通信的机制。图 9 所示为微控

制器端发送 512 Byte 数据给自定义存储设备的仿真波形。微控制器端在主设备模式下,串行发送 8 字节的 H2D FIS 命令。自定义存储设备在解析完命令之后,主动切换到主模式,串行发送 8 字节的 D2H FIS 命令,紧接着微控制器端串行发送 512 字节的数据 FIS,完成一次数据交互。从仿真结果看,自定义存储设备解决了不能主动发送数据和无应答机制问题。



图 9 数据传输仿真

SPI0 和 SPI1 在 SCK 为 30 MHz 时钟的条件下,对自定义存储设备和 MX35LF 分别进行了读写数据的测试。测试时将数据的粒度分为 512 Byte、1 kByte、2 kByte 三个档次,同时将 SPI 分别配置为标准(30 Mbps)、双线(60 Mbps)和四线模式(120 Mbps)。图 10 和 11 所示为读数据和写数据的性能比较,显然存在如下规律:

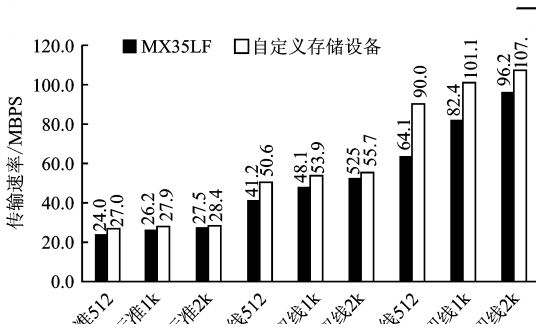


图 10 读性能比较

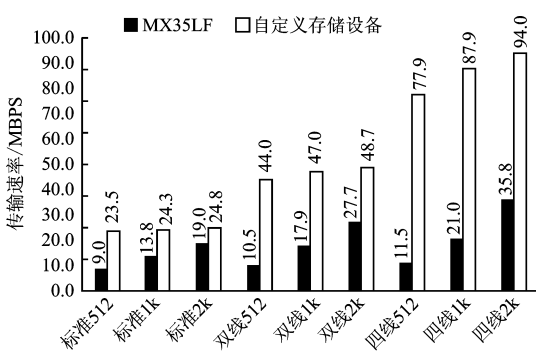


图 11 写性能比较

(1)由于读写数据时,每次传输的命令长度是固定的,随着传输数据长度变长、传输线数变多,命

令所占传输时间比例降低,因此有效数据传输速率随数据长度提升。

(2)MX35LF 部分命令不能通过改变线数实现并行传输,随着传输数据长度变长,自定义存储设备传输速率的优势越明显。

(3)对于写操作,由于 NAND Flash 颗粒特性决定了 Tprog 时间比较长,而且无法进行并行写操作,而自定义存储设备是基于 RAM 介质,Tprog 时间几乎可忽略,所以相比 MX35LF 的效率提升更加显著,如图 11 所示。

从以上仿真结果看,这种面向存储的双向 SPI 传输机制满足设计要求,与当前主流 Flash 存储设备相比,本文的自定义存储设备具有更高效的传输速率,更适合进行数据大批量的传输操作。

6 结束语

本文分析了 SPI 通信机制的优缺点和面向存储环境下数据传输的特征,提出了一种改进型高性能双向 SPI 通信机制的硬件模型,自定义了一套存储通信协议,阐述了寄存器级别传输和大数据传输的流程。最后在 Xilinx 的 FPGA 开发板上实现相关的通信机制,并与当前主流 Flash 存储设备进行性能比对,在读写数据方面效率获得显著提升。该机制非常适用于大数据量传输的存储设备,具有较高的实用价值。

参考文献:

- [1] 乔赞丽. 高可靠性 SPI 通信机制及其应用探讨[J]. 信息通信, 2013(8): 202-203.
QIAO Z L. Discussion on high reliability SPI communication mechanism and its application[J]. Information & Communications, 2013(8): 202-203.
- [2] 张成, 李斌, 曾晓东, 等. 一种高速、高可靠性 SPI 接口设计[J]. 信息通信, 2019(5): 61-63. DOI: 10.3969/j. issn. 1673-1131. 2019. 05. 025.
ZHANG C, LI B, ZENG X D, et al. A high-speed, high-reliability SPI interface design[J]. Information & Communications, 2019(5): 61-63. DOI: 10.3969/j. issn. 1673-1131. 2019. 05. 025.
- [3] 刘梦影, 傅建军, 刘云晶. 一种改进的 SPI 接口设计与实现[J]. 电子与封装, 2019, 19(12): 17-22.
LIU M Y, FU J J, LIU Y J. An improved SPI interface design and implementation[J]. Electronics and Packaging, 2019, 19(12): 17-22.
- [4] 韦小刚. 一种改进型 SPI 高可靠通信机制设计[J]. 单片机与嵌入式系统应用, 2014, 14(8): 59-61.
WEI X G. Design of improved high-reliability communication mechanism with SPI[J]. Microcontrollers & Embedded Systems, 2014, 14(8): 59-61.
- [5] 任宇飞, 张相, 程乃平. 一种透明传输的双向 SPI 接口的设计与实现[J]. 电讯技术, 2009, 49(2): 51-54. DOI: 10.3969/j. issn. 1001-893X. 2009. 02. 012.
REN Y F, ZHANG X, CHENG N P. Design and realization of two-way transparent transmission SPI interface[J]. Telecommunication Engineering, 2009, 49(2): 51-54. DOI: 10.3969/j. issn. 1001-893X. 2009. 02. 012.
- [6] 贾效玲, 张刚, 张博. SATA 硬盘控制器的 FPGA 实现[J]. 火力与指挥控制, 2016, 41(9): 182-184. DOI: 10.3969/j. issn. 1002-0640. 2016. 09. 041.
JIA X L, ZHANG G, ZHANG B. FPGA implementation of SATA hard disk controller[J]. Fire Control & Command Control, 2016, 41(9): 182-184. DOI: 10.3969/j. issn. 1002-0640. 2016. 09. 041.
- [7] 尹子航, 唐磊, 沈绪榜. 一种基于 NAND Flash 的 FTL 算法验证平台的设计与实现[J]. 微电子学与计算机, 2018, 35(11): 128-133.
YIN Z H, TANG L, SHEN X B. Design and implementation of an FTL algorithm verification platform based on NAND flash[J]. Microelectronics & Computer, 2018, 35(11): 128-133. DOI: CNKI: SUN: WXYJ. 02018-11-026.
- [8] 白雪, 王海鑫, 郑桥, 等. 基于 SATA3.0 的高速大容量嵌入式存储阵列控制器[J]. 电子设计工程, 2018, 26(10): 138-143. DOI: 10.3969/j. issn. 1674-6236. 2018. 10. 030.
BAI X, WANG H X, ZHENG Q, et al. High-speed and large-capacity embedded memory array controller based on SATA 3.0[J]. Electronic Design Engineering, 2018, 26(10): 138-143. DOI: 10.3969/j. issn. 1674-6236. 2018. 10. 030.
- [9] 吴嘉伟, 魏志强, 张会新. 基于 FPGA 和 FLASH 的多路数据存储技术[J]. 现代电子技术, 2020, 43(4): 34-37. DOI: 10.16652/j. issn. 1004-373x. 2020. 04. 009.
WU J W, WEI Z Q, ZHANG H X. Multi-channel data storage technology based on FPGA and FLASH[J]. Modern Electronics Technique, 2020, 43(4): 34-37. DOI: 10.16652/j. issn. 1004-373x. 2020. 04. 009.
- [10] 董星. 基于 FPGA 的存储控制器及相关系统设计技术研究[D]. 杭州: 浙江大学, 2017.
DONG X. Research on FPGA based storage controller and related system design technology[D]. Hangzhou: Zhejiang University, 2017.

[5] NEUMANN M, VU N G T. Cross-lingual and multi-lingual speech emotion recognition on English and French[C]//Proceedings of the 2018 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). Calgary, AB, Canada: IEEE, 2018: 5769-5773. DOI: 10.1109/ICASSP.2018.8462162.

[6] LEE S W. The generalization effect for multilingual speech emotion recognition across heterogeneous languages[C]//Proceedings of the 2019 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). Brighton, UK: IEEE, 2019: 5881-5885. DOI: 10.1109/ICASSP.2019.8683046.

[7] VASWANI A, SHAZEER N, PARMAR N, et al. Attention is all you need[C]//Proceedings of the 31st International Conference on Neural Information Processing Systems. Los Angeles, USA: Curran Associates Inc., 2017: 6000-6010.

[8] GANIN Y, USTINOVA E, AJAKAN H, et al. Domain-adversarial training of neural networks[J]. The Journal of Machine Learning Research, 2016, 17(1): 2096-2030.

[9] BUSSO C, BULUT M, LEE C C, et al. IEMOCAP: interactive emotional dyadic motion capture database [J]. Language Resources and Evaluation, 2008, 42(4): 335-359. DOI: 10.1007/s10579-008-9076-6.

[10] BUSSO C, PARTHASARATHY S, BURMANIA A, et al. MSP-IMPROV: an acted corpus of dyadic interactions to study emotion perception[J]. IEEE Transactions on Affective Computing, 2017, 8(1): 67-80. DOI: 10.1109/TAFFC.2016.2515617.

[11] CHANG J, SCHERER S. Learning representations of emotional speech with deep convolutional generative adversarial networks [C]//Proceedings of the 2017 IEEE International Conference on Acoustics, Speech and Signal Processing (ICASSP). New Orleans, LA, USA: IEEE, 2017: 2746-2750. DOI: 10.1109/ICASSP.2017.7952656.

[12] SCHULLER B, ZHANG Z X, WENINGER F, et al. Selecting training data for cross-corpus speech emotion recognition: prototypicality vs. generalization [C]//Proceedings of the 2011 Afeka-AVIOS Speech Processing Conference. Tel Aviv, Israel: TUM, 2011.

作者简介:
薛艳飞 男,(1993-),硕士研究生.研究方向为语音识别.
E-mail: 2221708068@stmail. ujs. edu. cn.
张建国 男,(1964-),博士,教授.研究方向为图象处理、模式识别.

(上接第 76 页)
[11] YE S. Macronix 3V, 1Gb/2G-bit serial NAND flash memory MX35LFxGE4AB ic-stocks[R]. 2018.

作者简介:
陈亮 男,(1984-),硕士,讲师.研究方向为芯片设计、FP-

GA 技术开发工作. E-mail: Timchern@qq. com.
蔡声镇 男,(1960-),博士,教授.研究方向为嵌入式电子系统.
卢丽婉 女,(1978-),硕士,工程师.研究方向为软件技术开发.